

Espacenet

Family list: JP8220560 (A) — 1996-08-30

9 application(s) for: JP8220560 (A)

1. LIQUID CRYSTAL PANEL					
Inventor: YAMAZAKI SHUNPEI HIRAKATA YOSHIHARU	Applicant: SEMICONDUCTOR ENERGY LAB	EC:	IPC: G02F1/133 G02F1/1345 G09F9/00 (+3)	Publication info: JP9171357 (A) 1997-06-30 JP3593198 (B2) 2004-11-24	Priority date: 1995-12-20
2. MANUFACTURING METHOD OF DISPLAY DEVICE					
Inventor: YAMAZAKI SHUNPEI	Applicant: SEMICONDUCTOR ENERGY LAB	EC:	IPC: G02F1/13 G02F1/1339 G02F1/1345 (+5)	Publication info: JP2004355009 (A) 2004-12-16 JP3706867 (B2) 2005-10-19	Priority date: 1995-03-20
3. ACTIVE MATRIX DISPLAY DEVICE					
Inventor: YAMAZAKI SHUNPEI KOYAMA JUN (+3)	Applicant: SEMICONDUCTOR ENERGY LAB	EC:	IPC: G02F1/133 G02F1/1345 G02F1/136 (+8)	Publication info: JP8220560 (A) 1996-08-30 JP3778964 (B2) 2006-05-24	Priority date: 1995-02-15
4. PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE					
Inventor: YAMAZAKI SHUNPEI	Applicant: SEMICONDUCTOR ENERGY LAB	EC:	IPC: G02F1/13 G02F1/1341 G02F1/1345 (+6)	Publication info: JP8320461 (A) 1996-12-03 JP3983316 (B2) 2007-09-26	Priority date: 1995-03-20
5. Active matrix display with sealing material					
Inventor: YAMAZAKI SHUNPEI [JP] KOYAMA JUN [JP] (+4)	Applicant: SEMICONDUCTOR ENERGY LAB [JP]	EC: G02F1/1362D	IPC: G02F1/1362 G02F1/1339 (IPC1-7):G02F1/1339	Publication info: US6011607 (A) 2000-01-04	Priority date: 1995-02-15
6. Active matrix display and forming method thereof					
Inventor: YAMAZAKI SHUNPEI [JP] KOYAMA JUN [JP] (+4)	Applicant: SEMICONDUCTOR ENERGY LAB [JP]	EC: G02F1/1362D	IPC: G02F1/1362 G02F1/1339 (IPC1-7):H01L29/786	Publication info: US6355942 (B1) 2002-03-12	Priority date: 1995-02-15
7. Active matrix display and forming method thereof					
Inventor: YAMAZAKI SHUNPEI [JP] KOYAMA JUN [JP] (+4)	Applicant: SEMICONDUCTOR ENERGY LAB [US]	EC: G02F1/1362D	IPC: G02F1/1362 G02F1/1339 (IPC1-7):H01L27/15	Publication info: US2002056844 (A1) 2002-05-16 US6703643 (B2) 2004-03-09	Priority date: 1995-02-15
8. Active matrix display and forming method thereof					
Inventor: YAMAZAKI SHUNPEI [JP] KOYAMA JUN [JP] (+4)	Applicant: SEMICONDUCTOR ENERGY LAB [US]	EC: G02F1/1362D	IPC: G02F1/1362 G02F1/1339 (IPC1-7):G02F1/1345	Publication info: US2004141139 (A1) 2004-07-22 US7538849 (B2) 2009-05-26	Priority date: 1995-02-15
9. ACTIVE MATRIX DISPLAY AND FORMING METHOD THEREOF					
Inventor: YAMAZAKI SHUNPEI [JP] KOYAMA JUN [JP] (+4)	Applicant: SEMICONDUCTOR ENERGY LAB [JP]	EC: G02F1/1362D	IPC: G02F1/1362 H01J9/26 G02F1/1339	Publication info: US2009291612 (A1) 2009-11-26 US7924392 (B2) 2011-04-12	Priority date: 1995-02-15

Last updated: 14.03.2012 Worldwide Database 5.7.38; 93p

(19) Japanese Patent Office (JP)

(12) Laid-Open Patent Gazette (A)

(11) Patent Application Laid-Open No. Hei 8-220560

(43) Laid-Open Date: August 30, 1996

(21) Patent Application No. Hei 7-50527

(22) Application Date: February 15, 1995

(71) Applicant: 000153878

Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(72) Inventor: Shunpei YAMAZAKI

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(72) Inventor: Jun KOYAMA

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(72) Inventor: Yuji KAWASAKI

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(72) Inventor: Toshimitsu KONUMA

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(72) Inventor: Satoshi TERAMOTO

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(54) [Title of the Invention] **ACTIVE MATRIX DISPLAY DEVICE**

(57) [Abstract]

[Object] An active matrix liquid crystal display having improved reliability.

Pixel regions and a peripheral driver circuit are integrally packed on the display.

[Constitution] Thin film transistors 208 forming the peripheral driver circuit are located inside a sealing material layer 210 on the side of a liquid crystal material, thus protecting the peripheral driver circuit from the outside. This enhances the long-term reliability of the peripheral driver circuit. Furthermore, the interconnects going from the TFTs 208 forming the peripheral driver circuit to TFTs 207 placed in pixel regions are shortened. This results in a reduction in the resistance of the interconnects. As a result, the display characteristics are improved.

[Claims]

[Claim 1] An active matrix display comprising:

pixel TFTs placed on a substrate;

driver TFTs forming driver circuits for driving said pixel TFTs, said driver TFTs being placed on said substrate;

a liquid crystal material injected in such a way that said pixel TFTs and said driver TFTs are in contact with the liquid crystal material directly or via a thin film.

[Claim 2] The active matrix display of claim 1, wherein peripheral circuits are formed in liquid-crystal regions located inside the sealing material.

[Claim 3] The active matrix display of claim 1, wherein control circuits for controlling the active matrix liquid crystal display are mounted on the substrate by chip on glass (COG) mounting techniques, and wherein said control circuits are incorporated in the sealing material for sealing the liquid crystal material of the active matrix liquid crystal display.

[Claim 4] The active matrix liquid crystal display of claim 3, wherein control circuits for controlling the active matrix liquid crystal display are mounted on the substrate by chip on glass (COG) mounting techniques, and the substrate on which said control circuits are mounted is thinned in mounting positions.

[Claim 5] The active matrix liquid crystal display of claim 3, wherein control circuits for controlling the active matrix liquid crystal display are mounted on the substrate by chip on glass (COG) mounting techniques, wherein a substrate located opposite to the substrate on which said control circuits are mounted is thinned in mounting positions.

[Claim 6] The active matrix liquid crystal display of claim 3, wherein the control circuits are integrated circuits fabricated using single-crystal silicon substrates.

[Claim 7] An active matrix liquid crystal display having a pair of transparent substrates between which a liquid crystal material, said active matrix liquid crystal display comprising:

thin-film transistor (TFT) circuits arranged like a matrix on one surface of one of said substrates;

peripheral driver circuits consisting of TFTs connected with said matrix circuits;

a liquid crystal material or a sealing material present on the top surfaces of said peripheral driver circuits; and

a space for accommodating an integrated circuit connected with the peripheral driver circuit is formed between the substrates.

[Claim 8] An active matrix liquid crystal display comprising:

pixel TFTs formed on a substrate;

driver TFTs forming driver circuits for driving said pixel TFTs, said driver TFTs being formed on said substrate; and

a sealing material sealing said driver TFTs.

[Claim 9] The active matrix liquid crystal display of claim 8, wherein control circuits for controlling the active matrix liquid crystal display are mounted on the substrate by chip on glass (COG) mounting techniques, and the substrate on which said control circuits are mounted is thinned in mounting positions.

[Claim 10] The active matrix liquid crystal display of claim 3, wherein control circuits for controlling the active matrix liquid crystal display are mounted on the substrate by chip on glass (COG) mounting techniques, wherein a substrate located opposite to the substrate on which said control circuits are mounted is thinned in mounting positions.

[Detailed Description of the Invention]

[0001]

[Field for the Industrial Use]

The present invention relates to techniques for miniaturizing active matrix displays and for obtaining high reliability thereof.

[0002]

[Prior Art]

The state of a panel forming the prior art active matrix display is shown in Fig. 4 in cross section. As can be seen from this figure, a sealing material 402 surrounds a pixel region 404 and so only the pixel region 404 of the active matrix display is in contact with a liquid crystal material. TFTs in a peripheral driver circuit region 403 are in contact with the atmosphere. These are remains of the prior art techniques in which only pixel TFTs are present on the substrate of an active matrix display, and in which a driver circuit is an externally attached IC. In these prior art techniques, the position at which the driver circuit is mounted is not optimized where the pixel region 404 and the peripheral driver circuit region 403 are formed on the same glass substrate 401.

[0003]

[Problems to be Solved by the Invention]

In the prior art active matrix display, the TFTs of the driver circuit are exposed. Therefore, during assembly of the panel, the substrate of the active matrix display must be handled with meticulous care. Under these circumstances, there is a demand for an active matrix display which assumes such a form that the display is handled with ease during fabrication processes. Pixels are protected by the liquid crystal material, the sealing material, and other materials for securing high reliability. On the other hand, the driver circuit is coated with only a thin oxide film. Therefore, the driver circuit does not have sufficient temperature resistance, and is vulnerable to contamination.

[0004]

[Means for Solving the Problems]

In order to minimize the damage sustained during assembly of the panel of the driver circuit of an active matrix display in an attempt to solve the problems with the reliability, the driver circuit of the active matrix display may take such a form that the user cannot directly touch it. Accordingly, as shown in Fig. 1, the peripheral driver circuit region (103) of the aforementioned active matrix display is buried either in the liquid crystal material or in the sealing material.

[0005] Inventions disclosed in this specification are shown hereinafter. One invention disclosed herein is an active matrix display where pixel TFTs and TFTs of driver circuit for the pixels are formed on the same substrate. A liquid crystal material is sealed in so that both pixel TFTs and TFTs of the driver circuit are in contact with the liquid crystal material directly or via a thin film.

[0006] Generally, a thin-film transistor (TFT) is coated with an interlayer dielectric film consisting of a silicon oxide film or the like. Therefore, the TFT is in contact with the liquid crystal material via this dielectric film. By adopting this structure, the TFTs of the peripheral driver circuit can be substantially sealed in the liquid crystal material. That is, the TFTs of the peripheral driver circuit can be sealed by the liquid crystal material.

[0007] Another invention has a pair of transparent substrates between which a liquid crystal material is held. TFTs are arranged in rows and columns on the surface of one of the substrates, thus forming a matrix circuit. A peripheral driver circuit consisting of TFTs is connected with the matrix circuit. A liquid crystal material or sealing material is present on the top surface of the peripheral driver circuit. A space for accommodating an integrated circuit connected with the peripheral driver circuit is formed between the substrates.

[0008] A specific example of the above-described structure is shown in Fig. 2 which is a schematic cross section of an active matrix display having a pair of glass substrates 202 and a liquid crystal material 209 held between the substrates. The configuration shown in Fig. 2 has TFTs 207 of the active matrix circuit, TFTs 208 of the peripheral driver circuit for driving the TFTs 207, and an integrated circuit 211 for sending video signals and various control signals to the TFTs 208 of the peripheral driver circuit.

[0009] In the structure shown in Fig. 2, the liquid crystal material exists on the top surface of each TFT 208 of the peripheral driver circuit. The integrated circuit 211 sealed by a sealing material 210 is disposed in a space formed between the glass substrates 202.

[0010] Another invention is an active matrix display characterized in that the pixel TFTs of the active matrix display and the TFTs of the driver circuit for activating the pixels are present on the same substrate, and that the TFTs of the driver circuit are sealed by the sealing material.

[0011] A specific example of the above-described structure is shown in Fig. 3, where TFTs 308 forming the peripheral driver circuit are sealed by a sealing material 310.

[0012]

[Effect]

The peripheral driver circuit region is located either within the region where

the liquid crystal material exists or within the sealing material. It substantially follows that the peripheral driver circuit region is sealed in the liquid crystal material or in the sealing material. This can prevent extraneous moisture from encroaching on the peripheral driver circuit region of high packaging density. Furthermore, the effects of stress can be mitigated.

[0013]

[Embodiment]

[Embodiment 1] An active matrix display according to the present invention is shown in Fig. 2 in cross section. This active matrix display has a glass substrate (202) on which pixel TFTs (207) are formed. A transparent electrode (204) and an orientation film (205) are laminated on the pixel TFTs (207). This glass substrate is referred to as the TFT substrate. This TFT substrate comprises a polarizing sheet (201) and the glass substrate (202) which are arrayed in this order in the direction towards a liquid crystal material (209). The other glass substrate is referred to as the color filter substrate and comprises an orientation film (205), a transparent electrode (204), color filters (203), a glass substrate (202), and a polarizing sheet (201) which are arrayed in this order in the direction away from the liquid crystal material (209). A number of spacers (206) made of glass or a resin are dispersed in the liquid crystal material (209) to maintain the spacing between the two glass substrates constant.

[0014] The polarizing sheet (201) is a filter for limiting the direction of vibration of light transmitted through the sheet (201). The thickness of this polarizing sheet (201) is about 80 to 210 μm . The structure of the polarizing sheet (201) is shown in Fig. 6. This polarizing sheet 201 has a polarizing film 604 of PVA (polyvinyl alcohol) in the middle. Protective layers 603 of a cellulose-based material are attached to the polarizing film. Attached to the outer side of the protective film closer to the liquid crystal material are an adhesive sheet 602 and a mold release film 601. Attached to the outer side of the other protective layer is a protective film (605) for protecting the surface. In use, the mold release film 601 is peeled off, and the adhesive sheet 602 is stuck on the glass substrate. The role of the orientation film (205) is to put the liquid crystal molecules in grooves formed in the orientation film (205) and to orient them in a given direction when the voltage is OFF. The orientation film is prepared by dissolving 5-10% by weight of polyimide or polyamide acid in a solvent. The thickness of the orientation film (205) is about 0.05 to 0.1 μm and required to be uniform. The liquid crystal material (209) is located exactly in the middle of the active matrix display. When the voltage is ON, the molecules of the liquid crystal material

stand upright. The molecules are twisted when the voltage is OFF. In this way, the liquid crystal material acts as a switch for controlling passage of light, i.e., the light is passed or blocked. The liquid crystal material (209) is made of benzene, toluene, or other material. The color filters (203) are color synthesis filters for converting monochrome liquid crystal display into color display. The color filters (203) comprise filters of red, green, and blue (RGB) colors, respectively. One pixel TFT overlaps one color of the color filters (203). The sealing material (210) acts as an adhesive for bonding together the two glass substrates. The sealing material (210) can be made from silicon, acrylics, epoxies, and other materials.

[0015] The pixel TFTs are located in the liquid crystal region, in the same way as in the prior art active matrix display. The present invention is characterized in that the TFTs (208) of the driver circuit are positioned within the sealed-in liquid crystal material region. In the past, the TFTs of the driver circuit have been located outside the sealed-in liquid crystal material. The incorporation of the driver circuit into the sealed-in liquid crystal material region produces the following advantages:

1. The contamination resistance is improved.
2. The signal lines connected with the pixels are shortened, thus improving the image quality.
3. The liquid crystal material serves as a shock-absorbing material, suppressing application of unwanted stress to the TFTs.

In the present example, the driver circuit is incorporated in the sealed-in liquid crystal region. Furthermore, the integrated circuit (211) such as a microprocessor for controlling the driver circuit is incorporated in the sealing material. This reduces the distance between the driver circuit and the controlling integrated circuit. As a result, introduction of unwanted noise in the signal is reduced, and other advantages are obtained. Where the controlling integrated circuit is sealed, it can be easily mounted by reducing the thickness of a part of the opposite glass substrate. Because the controlling integrated circuit is enclosed in the sealed-in region, the reliability is made higher compared with the prior art structure. The control circuit referred to herein is an integrated circuit built, using a wafer of single-crystal silicon. Examples of this control circuit include memories, I/O ports, various other control circuits, circuits for handling video signals, and integrated circuits comprising any combinations thereof. Of course, the required number of these integrated circuits are installed.

[0016] Preferably, the integrated circuit is mounted on the substrate by COG (chip on glass) mounting techniques. However, if electrical connections are made by wire bonding, the interconnections are substantially sealed by the sealing material. Therefore, high reliability is secured.

[0017] A shielding film (not shown in the figure) made from chromium, aluminum, or the like is required to be formed on the top surface of the peripheral driver circuit region.

[0018] In the configuration shown in Fig. 2, a part of the glass substrate 202 is thinned, and the integrated circuit 211 is positioned in this thinned portion, because the integrated circuit 211 is as thick as hundreds of micrometers, while the gap in which the liquid crystal material is injected is on the order of micrometers. In the structure shown in Fig. 2, a part of the top glass substrate 202 is thinned. Instead, a part of the glass substrate 202 on which the TFTs are packed may be thinned. Alternatively, both glass substrates 202 may have thinned portions in which the integrated circuit 211 is mounted.

[0019] The process sequence for fabricating the active matrix circuit of the present invention is described by referring to Figs. 5. The left side of each figure illustrates the process sequence for fabricating TFTs of the peripheral driver circuit. The right side of each figure illustrates the process sequence for fabricating TFTs of the active matrix circuit. First, a silicon oxide film is formed as a buffer oxide film (502) to a thickness of 1000 to 3000 Å on a substrate (501) of quartz or glass by sputtering or plasma-assisted CVD (PCVD) in an oxygen ambient.

[0020] Then, an amorphous or polycrystalline silicon film is formed to a thickness of 300 to 1500 Å, preferably 500 to 1000 Å, by PCVD or LPCVD. The laminate is thermally annealed at a temperature higher than 500°C, preferably 800 to 950°C, to crystallize the silicon film. This crystallization step may be followed by photo-annealing to enhance the crystallinity further. During the crystallization making use of thermal annealing, a catalytic element such as nickel for promoting crystallization of silicon may be added, as described in Japanese Patent Laid-Open Nos. 244103/1994 and 244104/1994.

[0021] Thereafter, the silicon film is etched to form island-like active layers (503) (for P-channel TFTs) and (504) (for N-channel TFTs) for forming a peripheral driver circuit and an active layer (505) for TFTs forming a matrix circuit (pixel TFTs). Subsequently, a gate-insulating film (506) of silicon oxide is formed to a thickness of 500 to 2000 Å by sputtering in an oxygen ambient. The gate-insulating film (506)

may be formed by plasma enhanced CVD. Where the silicon oxide film is formed by plasma enhanced CVD, it is desired to use nitrous oxide (nitrogen monoxide) (N_2O) as a raw material gas. Alternatively, oxygen and monosilane (SiH_4) may be used.

[0022] Then, a polysilicon film(containing a trace amount of phosphorus to enhance the conductivity) is formed to a thickness of 2000 Å to 5 μm, preferably 2000 to 6000 Å, by LPCVD over the whole surface of the substrate. The substrate is then etched to form gate electrodes (507, 508, and 509) (Fig. 5(A)).

Phosphorus is introduced into all the islands of the active layers, using the gate electrodes as a mask, by a self-aligned ion doping process. At this time, phosphine (PH_3) is used as a dopant gas. The dose is 1×10^{12} to 5×10^{13} atoms/ cm^2 . As a result, lightly doped N-type regions (510, 511, and 512) are formed (Fig. 5(B)).

[0023] Then, a photoresist mask (513) which covers the active layer (503) of the P-channel TFTs and a photoresist mask (514) extending parallel to the gate electrode (509) are formed. The mask (514) covers the active layer (505) of the pixel TFTs up to the portion spaced 3 μm from the end of the gate electrode (509). Again, phosphorus is introduced by ion doping techniques, using phosphine as a dopant gas. The dose is 1×10^{14} to 5×10^{15} atoms/ cm^2 . As a result, heavily doped N-type regions (source/drain) (515 and 516) are formed. At this time, no phosphorus is implanted into that region (517) of the lightly doped N-type region (512) of the pixel TFT active layer (505) which is covered with the mask (514). Therefore, the region (517) remains lightly doped N-type (Fig. 5(C)).

[0024] Then, active layers (504, 505) forming the N-channel TFTs are coated with a photoresist mask (518). Using diborane (B_2H_6) as a dopant gas, boron ions are introduced into the active layer (503) by ion doping techniques. The dose is 5×10^{14} to 8×10^{15} atoms/ cm^2 . In this doping process, the dose of boron is greater than that of phosphorus used in the step of Fig. 5(C) and so the previously formed, lightly doped N-type region (510) turns into a heavily doped P-type region (519). As a result of these doping steps, heavily doped N-type regions (source/drain) (515, 516), heavily doped P-type regions (source/drain) (519), and a lightly doped N-type region (low concentration impurity region) (517) are formed. In the present embodiment, the width x of the low concentration impurity region (517) is about 3 μm (Fig. 5(D)).

[0025] Thereafter, the laminate is thermally annealed at 450-850°C for 0.5 to 3 hours to repair the damage caused by the implantation. The dopant is activated, and the crystallinity of the silicon is recovered. Then, a silicon oxide film is formed as an interlayer dielectric (520) over the whole surface to a thickness of 3000 to 6000 Å by

Plasma CVD. This can be either a film of silicon nitride or a multilayer film of silicon oxide and silicon nitride films. The interlayer dielectric (520) is etched by a wet-etching process to create contact holes in the source/drain regions.

[0026] Then, a titanium film having a thickness of 2000 to 6000 Å is formed by sputtering. This film is etched to form electrodes and interconnects (521, 522, 523) for a peripheral driver circuit and electrodes and interconnects (524 and 525) for pixel TFTs. A silicon nitride film (526) having a thickness of 1000 to 3000 Å is formed as a passivation film by PCVD. This passivation film is etched to form contact holes extending to the electrodes (525) of the pixel TFTs. Finally, an ITO (indium-tin oxide) film formed by sputtering and having a thickness of 500 to 1500 Å is etched to form pixel electrodes (527). In this way, a peripheral logic circuit and an active matrix circuit are formed integrally (Fig. 5(E)).

[0027] The active matrix display of the present example is assembled in the manner described below. Various chemicals used for surface treatments such as etchants and resist release liquid are sufficiently cleaned up from the TFT substrates and from the color filter substrate. Then, the orientation films are made to adhere to the color filter substrate and the TFT substrate, respectively. Each orientation film is provided with given grooves. The liquid crystal molecules are oriented uniformly along the grooves. The orientation film is prepared by dissolving about 10% by weight of polyimide in a solvent such as butyl Cellosolve or n-methyl pyrrolidone. This is referred to as polyimide varnish and printed by flexo-printing equipment as shown in Fig. *. The orientation films adhering to the TFT substrate and the color filter substrate, respectively, are heated to cure them. This is referred to as baking. For this purpose, hot air having a maximum service temperature of about 300°C is blown against the substrates so as to heat them. In this way, the polyimide varnish is baked and cured. Then, a rubbing operation is performed. That is, the surfaces of the glass substrate to which the orientation films adhere are rubbed in a given direction with buff cloth (fibers of rayon, nylon, or the like) having filament lengths of 2 to 3 μm to form microscopic grooves. Subsequently, spherical spacers of a polymer, glass, silica, or other material are dispersed either by a wet method or by a dry method. In the wet method, the spacers are mixed into a solvent such as pure water or an alcohol and the resulting mixture is dispersed onto the glass substrate. In the dry method, the spacers are dispersed, using no solvent at all. Thereafter, a sealing material is applied to the outer frame of the TFT substrate to bond together the TFT substrate and the color filter substrate and to prevent the injected liquid crystal material from flowing out. The sealing material is prepared by dissolving an epoxy resin and a phenolic curing agent in

ethyl Cellosolve, or solvent. After application of the sealing material, two glass substrates are bonded together by hot-pressing at around 160°C. The sealing material is cured in about 3 hours. Finally, the liquid crystal material is introduced from the liquid crystal injection port formed in the active matrix display obtained by bonding together the TFT substrate and the color filter substrate. Then, the injection port is closed off with an epoxy resin. In this way, the active matrix display is assembled.

[0028]

[Embodiment 2] Another active matrix display according to the present invention is shown in Fig. 3 in cross section. As can be seen from this figure, a microprocessor (311) for controlling the active matrix display and TFTs (308) forming a driver circuit are sealed by a sealing material (310), thus protecting the driver circuit TFTs (308). The driver circuit TFTs (308) are prevented from being exposed. The present example is similar to Embodiment 1 in structure and process sequence except for circuit elements (driver circuit TFTs (308)) sealed by the sealing material (310).

[0029]

[Embodiment 3] The present embodiment pertains to a structure equipped with a preliminary peripheral circuit (redundant circuit). Fig. 7 is a schematic top view of a liquid crystal panel according to the present example. Since Fig. 7 is a view taken from the top, only one glass substrate 701 is shown. In practice, however, another glass substrate which makes a pair with the glass substrate 701 is bonded to the glass substrate 701. In the structure shown in Fig. 7, a peripheral driver circuit region 703 and a matrix pixel region 704 are located inside a sealing material 702. Since the inside of the sealing material 702 is filled with a liquid crystal material, the liquid crystal material exists on the top surfaces of the TFTs arranged in the peripheral driver circuit region 703 and in the pixel region 704.

[0030] An integrated circuit (IC) forming various control circuits connected with the peripheral driver circuit is positioned within the sealing material 702 and just molded in this sealing material 702.

[0031] Indicated by numeral 705 is a preliminary peripheral driver circuit, and is used when a peripheral driver circuit placed in the region 703 is at fault. Indicated by numeral 706 is a connector terminal for making a connection with the outside. Video signals and required signals are entered through this connector terminal 706. The liquid crystal panel shown in Fig. 7 incorporates every circuit necessary between a pair of glass substrates 701. Furthermore, every circuit is sealed either by the sealing

material 702 or by the liquid crystal material. Hence, the reliability can be rendered quite high.

[0032] The width of the peripheral driver circuit is several millimeters, though it is not drawn to scale. The width of the sealing material is determined by the integrated circuit connected with the peripheral driver circuit, but the width can be reduced down to several millimeters or less (if the integrated circuit can be made small, the width can be set equal to about 1 μm). Accordingly, only a fringe of about several millimeters to 1 cm exists around a region which actually forms a liquid crystal display area. Furthermore, excluding the external output terminals, the device apparently consists only of a pair of glass substrates. In this way, the device has a quite simple appearance.

[0033]

[Effect of the Invention]

As described above, the TFTs of the driver circuit for the active matrix display are located inside the sealing material region. This can improve the temperature resistance and contamination resistance. Furthermore, the active matrix display can be miniaturized. In addition, the image signal lines can be shortened. This can reduce the voltage drop. Hence, the characteristics can be improved.

[0034] By positioning the peripheral driver circuit region in the region in which a liquid crystal material or a sealing material is located, the peripheral driver circuit is sealed by the liquid crystal material or by the sealing material. In consequence, the peripheral driver circuit is protected from moisture; otherwise the reliability would be deteriorated. Moreover, the liquid crystal material or sealing material serves as a shock-absorbing material and so application of unwanted stress to the peripheral driver circuit region can be prevented.

[0035] By placing the controlling integrated circuit connected with the peripheral driver circuit within the sealing material, the controlling integrated circuit is prevented from being adversely affected by moisture; otherwise the reliability would be impaired. Additionally, the requisite circuits can be inserted between a pair of glass substrates and, therefore, a miniaturized liquid crystal display having improved reliability and a simple appearance free from unwanted unevenness can be obtained.

[BRIEF DESCRIPTION OF THE DRAWINGS]

Fig. 1 is a schematic view of an active matrix display according to the present invention;

Fig. 2 is a cross-sectional view of an active matrix display according to Embodiment 1 of the invention;

Fig. 3 is a cross-sectional view of an active matrix display according to Embodiment 2 of the invention;

Fig. 4 is a schematic view of the prior art active matrix display;

Figs. 5 are the process sequence of Embodiment 1;

Fig. 6 is a constitution of polarizing sheets; and

Fig. 7 is a schematic view of another active matrix display according to the embodiment of the invention.

101, 202, 302, 401	glass substrates
102, 210, 310, 402	sealing material
103, 208, 308, 403	driver circuit TFTs
104, 207, 307, 404	pixel TFTs
201, 301	polarizing sheets
203, 303	color filters
204, 304	transparent electrodes
205, 305	orientation films
206, 306	spacers
209, 309	liquid crystal material

211, 311	microprocessors
501	substrate
502	buffer layer (silicon oxide)
503 - 505	active layers (silicon)
506	gate-insulating film (silicon oxide)
507 - 509	gate electrode, gate leads

510 - 512	lightly-doped N type region
513, 514	photoresist mask
515, 516	heavily-doped N type region (source/drain)
517	low concentration impurity region
518	photoresist mask
519	heavily-doped P type region (source/drain)
520	interlayer dielectric (silicon oxide)
521 -525	metal interconnects, electrodes
526	passivation (silicon nitride)
527	pixel electrode (ITO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-220560

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	G 0 2 F	1/136 5 0 0
	1/133	5 5 0		1/133 5 5 0
	1/1345			1/1345
G 0 9 F	9/00	3 3 8	G 0 9 F	9/00 3 3 8 K
H 0 1 L	29/786		H 0 1 L	29/78 6 1 2 B
審査請求 未請求 請求項の数10 F D (全 9 頁)				

(21)出願番号 特願平7-50527

(22)出願日 平成7年(1995)2月15日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 河崎 祐司

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

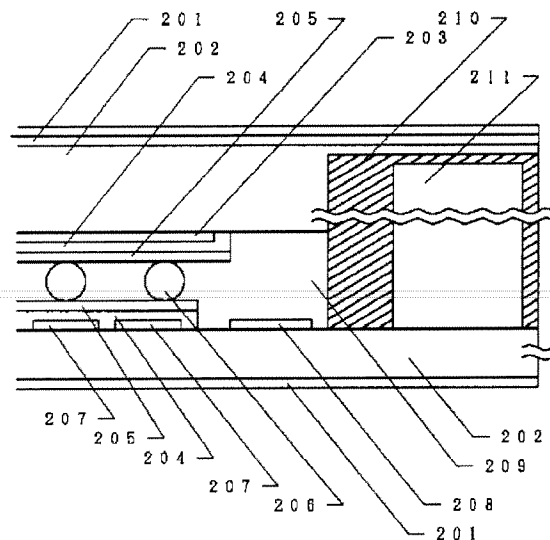
最終頁に続く

(54)【発明の名称】 アクティブマトリクス表示装置

(57)【要約】

【目的】 画素領域と周辺駆動回路領域とが集積化されたアクティブマトリクス型の液晶表示装置の信頼性を向上させる。

【構成】 周辺駆動回路を構成する薄膜トランジスタ208を封止材210よりも内側（液晶側）に配置することで、周辺駆動回路を外部より保護する。こうすることで、周辺駆動回路の長期にわたる信頼性を高めることができる。また、周辺駆動回路を構成する薄膜トランジスタ208から画素領域に配置される薄膜トランジスタ207への配線も短くなり、配線抵抗の低減による表示特性の向上を果たすことができる。



1

【特許請求の範囲】

【請求項 1】 アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トランジスタが同一の基板上に存在し、前記画素薄膜トランジスタと駆動回路薄膜トランジスタの双方が直接または薄膜を介して液晶材に接するように液晶封入が行われていることを特徴とするアクティブマトリクス表示装置。

【請求項 2】 請求項 1 において、周辺回路が封止材の内側の液晶領域に設けられていることを特徴とするアクティブマトリクス表示装置。

【請求項 3】 請求項 1 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装しており、尚かつ前記制御回路は前記アクティブマトリクス表示装置の液晶の封止材中に封入されていることを特徴とするアクティブマトリクス表示装置。

【請求項 4】 請求項 3 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装するため、前記制御回路を実装する側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【請求項 5】 請求項 3 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装するため、制御回路を実装する対向側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【請求項 6】 請求項 3 において、制御回路は単結晶シリコン基板を用いて作製された集積回路であることを特徴とするアクティブマトリクス表示装置。

【請求項 7】 一対の透光性基板間に液晶を保持した構成を有し、前記一対の基板の一方の表面上には、マトリクス状に配置された薄膜トランジスタ回路と、前記マトリクス回路に接続された薄膜トランジスタで構成された周辺駆動回路と、が形成されており、前記周辺駆動回路の上面には液晶または封止材が存在しており、

前記一対の基板間には、前記周辺駆動回路に接続される集積回路を配置するための空隙が形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項 8】 アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トランジスタが同一の基板上に存在し、前記駆動回路薄膜トランジスタを封止材によって封入したことを特徴とするアクティブマトリクス表示装置。

【請求項 9】 請求項 8 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glas

2

s) で基板上に実装するため、前記制御回路を実装する側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【請求項 10】 請求項 8 において、アクティブマトリクス表示装置を制御する制御回路を COG (Chip On Glass) で基板上に実装するため、前記制御回路を実装する対向側の基板において、実装位置の基板の厚さを薄くしたことを特徴とするアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス表示装置の小型化、及び高信頼性を得るための技術に関する。

【0002】

【従来の技術】 従来のアクティブマトリクス表示装置を構成するパネルの状態を示す断面図を図 4 に示す。図 4 から明らかなように、封止材 (402) (シール材ともいう) で画素領域 (404) を取り囲んでいるため、アクティブマトリクス表示装置の画素領域 (404) のみが液晶に接しており、周辺駆動回路領域 (403) の TFT は大気に接している。これは、以前アクティブマトリクス表示装置の基板上に画素 TFT しか存在せず、駆動回路が外付け IC であった頃の名残である。このように従来の技術においては、画素領域 (404) と周辺駆動回路領域 (403) とが同一ガラス基板 (401) 上に形成される場合の駆動回路の実装位置の最適化が行われていなかった。

【0003】

【発明が解決しようとする課題】 従来のアクティブマトリクス表示装置では、駆動回路 TFT が外部に剥き出しになっていたため、パネル組立工程中のアクティブマトリクス表示装置の基板のハンドリングに細心の注意が必要であった。このような状況において、その作製プロセスにおいて、ハンドリングが楽なアクティブマトリクス表示装置の形態が望まれていた。また、信頼性上の点からも画素が液晶材、シール材等で保護されているのに対して、駆動回路は薄い酸化膜で覆われているのみであり、耐温性や汚染に対して弱くなっている。

【0004】

【課題を解決するための手段】 アクティブマトリクス表示装置の駆動回路のパネル組立工程中における損傷を最小限にし、信頼性上の問題を解決するには、前記アクティブマトリクス表示装置の駆動回路が直接触れられない形態であればよい。従って、図 1 に示すように前記アクティブマトリクス表示装置の周辺駆動回路領域 (103) を液晶材中または封止材中に実装する。

【0005】 以下に本明細書で開示する発明を示す。本明細書で開示する発明の一つは、アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トラ

3

ンジスタが同一の基板上に存在し、前記画素薄膜トランジスタと駆動回路薄膜トランジスタの双方が直接または薄膜を介して液晶材に接するように液晶封入が行われていることを特徴とする。

【0006】一般には、薄膜トランジスタは酸化珪素膜等なる層間絶縁膜で覆われているので、この絶縁膜を介して、液晶に接することとなる。上記のような構成を採用することで、周辺駆動回路の薄膜トランジスタを実質的に液晶中に封入することができる。即ち、周辺駆動回路の薄膜トランジスタを液晶で封止した状態とすることができる。

【0007】他の発明の構成は、一対の透光性基板間に液晶を保持した構成を有し、前記一対の基板の一方の表面上には、マトリクス状に配置された薄膜トランジスタ回路と、前記マトリクス回路に接続された薄膜トランジスタで構成された周辺駆動回路と、が形成されており、前記周辺駆動回路の上面には液晶または封止材が存在しており、前記一対の基板間には、前記周辺駆動回路に接続される集積回路を配置するための空隙が形成されていることを特徴とするアクティブマトリクス表示装置。

【0008】上記構成の具体的な例を図2に示す。図2に示すのは、一対のガラス基板202間に液晶209を挟持したアクティブマトリクス型の液晶表示装置の概略の構成を示す断面図である。図2に示す構成においては、207で示されるアクティブマトリクス回路の薄膜トランジスタと、この薄膜トランジスタ207を駆動するための周辺駆動回路の薄膜トランジスタ208と、この周辺駆動回路の薄膜トランジスタ208にビデオ信号や各種制御信号を送る集積回路(IC)211を有している。

【0009】図2に示す構成においては、周辺駆動回路の薄膜トランジスタ208の上面には、液晶が存在している。また、封止材210で封止された集積回路211は、一対のガラス基板202間に形成された空隙に配置されている。

【0010】他の発明の構成は、アクティブマトリクス表示装置において、前記アクティブマトリクス表示装置の画素薄膜トランジスタと前記画素の駆動回路薄膜トランジスタが同一の基板上に存在し、前記駆動回路薄膜トランジスタを封止材によって封入したことを特徴とする。

【0011】上記構成の具体的な例を図3に示す。図3に示す構成においては、周辺駆動回路を構成する薄膜トランジスタ308が、封止材310によって封止された構成となっている。

【0012】

【作用】周辺駆動回路領域を液晶が存在している領域、あるいは封止材中に存在させることにより、周辺駆動回路領域が実質的に液晶材料や封止材料中に封止された状態とすることができる。そして、実装密度の高い周辺駆

4

動回路領域に外部から水分が進入したりすることを防ぐことができる。また応力の影響を緩和することができる。

【0013】

【実施例】

〔実施例1〕本発明によるアクティブマトリクス表示装置の断面図を図2に示す。アクティブマトリクス表示装置では、ガラス基板(202)には画素TFT(207)の上に透明電極(204)と配向膜(205)が付けられている。このガラス基板はTFT基板と呼ぶ。TFT基板は液晶材(209)に遠い方から偏光板(201)、ガラス基板(202)の順で並んでいる。また、他方のガラス基板はカラーフィルタ基板と呼ぶ。液晶材(209)に近い方から配向膜(205)、透明電極(204)、カラーフィルタ(203)、ガラス基板(202)、偏光板(201)と並んでいる。そして、2枚のガラス基板の間隔を一定に保つためのガラスまたは樹脂製のスペーサ(206)が液晶材(209)中に多数散布されている。

【0014】偏光板(201)は通過させる光の振動方向を限定する厚さ80~210 μ m程度のフィルタである。偏光板の構造は図6のように、真中にPVA(ポリビニルアルコール)製の偏光フィルム604があり、さらにセルロース系の保護層603が付けられている。さらにその外側は液晶材に近い方には粘着層602と離型フィルム601、反対側には表面を保護する保護フィルム605が取り付けられている。その使用に際しては、離型フィルム601を剥がしガラス基板に粘着層602を張りつけて使用する。配向膜(205)の役割は、液晶分子が電圧OFF時に配向膜(205)に刻まれた溝に入り込んで一定方向に配列させることである。配向膜材料には、ポリイミドやポリアミド酸を溶媒に5~10重量%溶解させたものが用いられる。また、配向膜(205)の厚さは0.05~0.1 μ m程度で膜厚が均一であることが要求される。液晶材(209)は、アクティブマトリクス表示装置の真中にあり、電圧がONの場合には立ち、OFFの場合は振れることにより、光の通過・遮断を制御するスイッチの役割を果たす。液晶材

(209)の原料は、ベンゼン、トルエン等である。カラーフィルタ(203)は、モノクロの液晶表示をカラー化するための色合成フィルタである。カラーフィルタ(203)はRGB(Red, Green, Blue)の3色から成り、画素TFTの1個とカラーフィルタ(203)の1個の色が重なるようになっている。封止材(210)は、2枚のガラス基板を貼り付ける接着剤の役割を果たす。封止材(210)の原料としては、シリコン、アクリル、エポキシ等がある。

【0015】画素TFTが液晶領域にあることは、従来のアクティブマトリクス表示装置と同様であるが、本発明では、従来封入の外にあった駆動回路TFT(20

5

8)を液晶封入領域内に配置している。この液晶封入領域内に駆動回路を入れることは、以下のような利点を得ることができる。

1. 耐汚染性の向上。
2. 画素に接続される信号線の短縮による画質向上。
3. 液晶材料が緩衝材となり、不要な応力が薄膜トランジスタに加わることを抑制することができる。

また、本実施例では駆動回路を液晶封入領域に入れるのみならず、駆動回路を制御するマイクロプロセッサ(211)等の制御用集積回路を封入材の中に入れることによって、駆動回路と制御用集積回路との距離を小さく抑え、信号の不要ノイズを軽減する等の効果を得ることができる。ここで、制御用集積回路を封入する場合、対向側の基板を一部厚みを薄くすることにより、実装し易くすることも行っている。制御用集積回路は封止領域に入れることによって、従来の構造と比較して、信頼性が向上される。またここでの制御回路は、シリコン端結晶ウェハを用いて形成された集積回路であり、その具体的な例として、メモリ、I/Oポート、その他各種制御回路、ビデオ信号を扱う回路、さらにはそれらの任意の組み合わせを有する集積回路を挙げることができる。勿論、これら集積回路は必要とする数でもって配置される。

【0016】また集積回路の配置方法は、COG(Chip On Glass)で基板上に実装されることが望ましい。しかし、ワイヤボンディング形式で配線を形成しても、配線が封止材によって実質的に封止されるので、その信頼性は高いものとすることができる。

【0017】また、図には示されていないが、周辺駆動回路領域の上面には光を遮蔽するクロム膜やアルミ膜等の遮蔽膜を形成する必要がある。

【0018】また、図2における構成では、ガラス基板202の一部を薄くし、その部分に集積回路211を配置している。これは、液晶が注入されるギャップが数 μm 程度にあるのに対して、集積回路の厚さが数百 μm 程度あるからである。図2においては、上側のガラス基板202側の一部を薄くしているが、TFTが配置されたガラス基板202側の一部を薄くしてもよい。また両方のガラス基板を薄くし、その部分に集積回路を配置する構成としてもよい。

【0019】本実施例のアクティブマトリクス回路を得る作製工程について、図5を用いて説明する。図の左側に周辺駆動回路のTFTの作製工程を、右側にアクティブマトリクス回路のTFTの作製工程を、それぞれ示す。まず、石英基板またはガラス基板(501)上に下地酸化膜(502)として厚さ1000~3000Åの酸化珪素膜を形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマCVD法を用いればよい。

【0020】次に、プラズマCVD法やLPCVD法に

6

よってアモルファスもしくは多結晶のシリコン膜を300~1500Å、好ましくは500~1000Å形成する。そして、500℃以上、好ましくは、800~950℃の温度で熱アニールをおこない、シリコン膜を結晶化させる。熱アニールによって結晶化させたのち、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平6-244103、同6-244104に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素(触媒元素)を添加してもよい。

【0021】次にシリコン膜をエッチングして、島状の周辺駆動回路のTFTの活性層(503)(Pチャネル型TFT用)、(504)(Nチャネル型TFT用)とマトリクス回路のTFT(画素TFT)の活性層(505)を形成する。さらに、酸素雰囲気中でのスパッタ法によって、厚さ500~2000Åの酸化珪素のゲイト絶縁膜(506)を形成する。ゲイト絶縁膜の形成方法としては、プラズマCVD法を用いてもよい。プラズマCVD法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素(N_2O)もしくは酸素(O_2)とモンシラン(SiH_4)を用いることが好ましい。

【0022】その後、厚さ2000Å~5 μm 、好ましくは2000~6000Åの多結晶シリコン膜(導電性を高めるため微量の磷を含有する)をLPCVD法によって基板全面に形成する。そして、これをエッチングして、ゲイト電極(507、508、509)を形成する。(図5(A))

その後、イオンドーピング法によって、全ての島状活性層に、ゲイト電極をマスクとして自己整合的にフォスフィン(PH_3)をドーピングガスとして磷を注入する。ドーズ量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/ cm^2 とする。この結果、弱いN型領域(510、511、512)が形成される。(図5(B))

【0023】次に、Pチャネル型TFTの活性層(503)を覆うフォトレジストのマスク(513)、および、画素TFTの活性層(505)のうち、ゲイト電極に平行にゲイト電極(509)の端から3 μm 離れた部分までを覆うフォトレジストのマスク(514)を形成する。そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして磷を注入する。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ cm^2 とする。この結果、強いN型領域(ソース/ドレイン)(515、516)が形成される。画素TFTの活性層(505)の弱いN型領域(512)のうち、マスク(514)に覆われていた領域(517)は今回のドーピングでは磷が注入されないで、弱いN型のままでとなる。(図5(C))

【0024】次に、Nチャネル型TFTの活性層(504、505)をフォトレジストのマスク(518)で覆

い、ジボラン (B_2H_6) をドーピングガスとして、イオンドーピング法により、島状領域 (503) に硼素を注入する。ドーピング量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/ cm^2 とする。このドーピングでは、硼素のドーピング量が図5 (C) における隣のドーピング量を上回るため、先に形成されていた弱いN型領域 (510) は強いP型領域 (519) に反転する。以上のドーピングにより、強いN型領域 (ソース/ドレイン) (515、516)、強いP型領域 (ソース/ドレイン) (519)、弱いN型領域 (低濃度不純物領域) (517) が形成される。本実施例においては、低濃度不純物領域 (517) の幅 x は、約 $3 \mu m$ とする。(図5 (D))

【0025】その後、 $450 \sim 850^\circ C$ で0.5～3時間の熱アニールを施すことにより、ドーピングによるダメージを回復せしめ、ドーピング不純物を活性化、シリコンの結晶性を回復させる。その後、全面に層間絶縁物 (520) として、プラズマCVD法によって酸化珪素膜を厚さ $3000 \sim 6000 \text{ \AA}$ 形成する。これは、窒化珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であってもよい。そして、層間絶縁物 (520) をウェットエッチング法によってエッチングして、ソース/ドレインにコンタクトホールを形成する。

【0026】そして、スパッタ法によって、厚さ $2000 \sim 6000 \text{ \AA}$ のチタン膜を形成し、これをエッチングして、周辺回路の電極・配線 (521、522、523) および画素TFTの電極・配線 (524、525) を形成する。さらに、プラズマCVD法によって、厚さ $1000 \sim 3000 \text{ \AA}$ の窒化珪素膜 (526) をパッシベーション膜として形成し、これをエッチングして、画素TFTの電極 (525) に達するコンタクトホールを形成する。最後に、スパッタ法で成膜した厚さ $500 \sim 1500 \text{ \AA}$ のITO (インディウム錫酸化物) 膜をエッチングして、画素電極 (527) を形成する。このようにして、周辺駆動回路とアクティブマトリクス回路を一体化して形成する。(図5 (E))

【0027】本実施例のアクティブマトリクス表示装置の組立工程を以下に説明する。TFT基板・カラーフィルタ基板は、各々表面処理に用いられたエッチング液レジスト剥離液等の各種薬品を十分に洗浄する。次に配向膜をカラーフィルタ基板及びTFT基板に付着させる。配向膜はある一定の溝が刻まれ、その溝に沿って液晶分子が均一に配列する。配向膜材料にはブチルセルソングかn-メチルピロリドンといった溶媒に、溶媒の約10重量%のポリイミドを溶解したものを用いる。これをポリイミドワニスと呼ぶ。ポリイミドワニスは図*に示すようにフレキシ印刷装置によって印刷する。そして、TFT基板・カラーフィルタ基板の両基板に付着した配向膜を加熱・硬化させる。これをベークと呼ぶ。ベークは最高使用温度約 $300^\circ C$ の熱風を送り加熱し、ポリイミドワニスを焼成・硬化させるものである。その次に、配

向膜の付着したガラス基板表面を毛足の長さ $2 \sim 3 mm$ のパフ布 (レイヨン・ナイロン等の繊維) で一定方向に擦り、微細な溝を作るラビング工程を行う。そして、TFT基板もしくはカラーフィルタ基板のいずれかに、ポリマー系・ガラス系・シリカ系等の球のスペーサを散布する。スペーサ散布の方式としては純水・アルコール等の溶媒にスペーサを混ぜ、ガラス基板上に散布するウェット方式と、溶媒を一切使用せずスペーサを散布するドライ方式がある。その次に、TFT基板の外枠に封止材を塗布する。封止材塗布には、TFT基板とカラーフィルタ基板を接着する役割と注入する液晶材が外部に流出するのを防ぐ目的がある。封止材の材料は、エポキシ樹脂とフェノール硬化剤をエチルセルソルブの溶媒に溶かしたものが使用される。封止材塗布後に2枚のガラス基板の貼り合わせを行う。方法は約 $160^\circ C$ の高温プレスによって、約3時間で封止材を硬化する加熱硬化方式をとる。最後に、TFT基板とカラーフィルタ基板を貼り合わせたアクティブマトリクス表示装置の液晶注入口より液晶材を入れて、液晶材注入後エポキシ系樹脂で液晶注入口を封止する。以上のようにして、アクティブマトリクス表示装置が組み立てられる。

【0028】〔実施例2〕本発明によるアクティブマトリクス表示装置の断面図を図3に示す。図からも明かなように、アクティブマトリクス表示装置を制御するマイクロプロセッサ (311) と駆動回路TFT (308) を封止材 (310) で封入することで、駆動回路TFT (308) を保護し、外部に剥き出しにならないようにしている。本実施例は封止材 (310) で封入する回路量 (駆動回路TFT (308)) が異なる以外は、実施例 (その1) と構成及び作製工程は同じである。

【0029】〔実施例3〕本実施例は、予備の周辺回路 (冗長回路) を設けた構成に関する。図7に本実施例で示す液晶表示パネルの概略の上面図を示す。図7は上面から見た図であるので、ガラス基板としては、701が1枚だけ示されている。しかし、実際には、ガラス基板701と対となってもう1枚のガラス基板がガラス基板701に張り合わせてある。図7に示す構成においては、周辺駆動回路領域703とマトリクス状に配置された画素領域704とが封止材702の内側に配置されている。封止材702の内側が液晶で充填されているわけであるから、周辺駆動回路領域703と画素領域704に配置された薄膜トランジスタは、その上面に液晶が存在している状態となっている。

【0030】また周辺駆動回路に接続される各種制御回路を構成する集積回路 (IC) は封止材702内に配置され、丁度封止材702によってモールドされた状態となっている。

【0031】705で示されるのが、予備の周辺駆動回路の領域であり、703で示される領域に配置された周辺駆動回路に不良が発生した場合に利用される。706

で示されるのは、外部との接続端子であり、この端子を介して、ビデオ信号や必要とする信号が回部から入力される。図7に示す液晶表示パネルは、一対のガラス基板間に必要とする回路が全て収められている。しかもそれら回路の全てが封止材または液晶によって封止されている状態となっているので、信頼性を極めて高いものとすることができる。

【0032】また、図面ではその寸法比が正確ではないが、周辺駆動回路の幅は数ミリ程度である。また封止材の幅も周辺駆動回路に接続される集積回路によってその幅が決まるとはいえ、その幅を数mm程度以下（集積回路を小さくできれば、1mm程度とすることができる）とすることができる。従って、実際に液晶表示が行われる領域の周囲に数mm～1cm程度の縁が存在するだけで、しかも外部出力端子を除けば、外見上一対のガラス基板で構成されるという極めてシンプルな外観とすることができる。

【0033】

【発明の効果】上記のように、アクティブマトリクス表示装置の駆動回路TFTを封止材領域より内側に配置することにより、駆動回路TFTの耐温性や耐汚染性を向上させることができる。またアクティブマトリクス表示装置の小型化を計ることができる。また、画像信号線の短縮による電圧降下を低減させることができ、特性の向上を計ることができる。

【0034】また周辺駆動回路領域を液晶領域あるいは封止材が設けられた領域に配置することにより、周辺駆動回路領域が液晶あるいは封止材によって封止されることになり、水分の影響による信頼性の低下を防ぐことができる。また、液晶あるいは封止材が緩衝材となることで、周辺駆動回路領域に不要な応力が加わることを防ぐことができる。

【0035】さらに周辺駆動回路に接続される制御用の集積回路を封止材中に配置することで、水分の影響による信頼性の低下を防ぐことができる。また、1対のガラス基板間に必要とする回路を配置することができるので、信頼性を高めることができるとともに、不要な凹凸等がないシンプルな外観を有した小型化された液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス表示装置の概略図

【図2】 実施例（その1）におけるアクティブマトリクス表示装置の断面図

【図3】 実施例（その2）におけるアクティブマトリクス表示装置の断面図

【図4】 従来のアクティブマトリクス表示装置の概略図

【図5】 実施例（その1）の作製工程

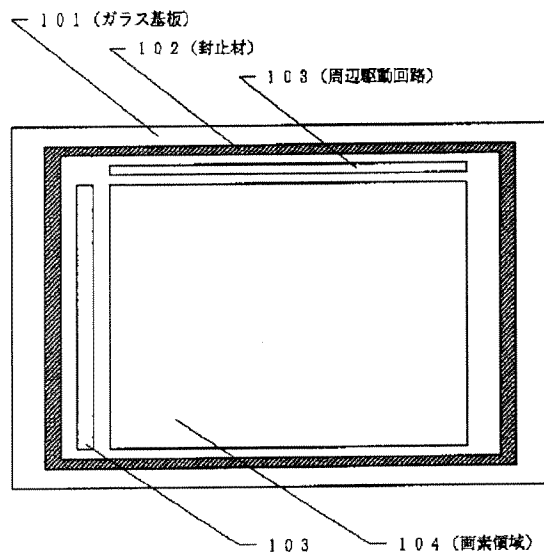
【図6】 偏光板の構成

【図7】 実施例のアクティブマトリクス表示装置の概略図

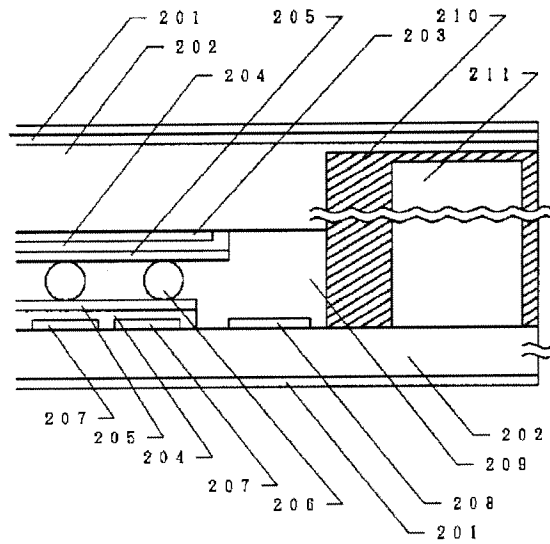
【符号の説明】

101、202、302、401	ガラス基板
102、210、310、402	封止材
103、208、308、403	駆動回路TFT
104、207、307、404	画素TFT
201、301	偏光板
203、303	カラーフィルタ
204、304	透明電極
205、305	配向膜
206、306	スペーサ
209、309	液晶材
211、311	マイクロプロセッサ
501	基板
502	下地膜（酸化珪素）
503～505	活性層（シリコン）
506	ゲイト絶縁膜（酸化珪素）
507～509	ゲイト電極・ゲイト線
510～512	弱いN型領域
513、514	フォトリソストのマスク
515、516	強いN型領域（ソース／ドレイン）
517	低濃度不純物領域
518	フォトリソストのマスク
519	強いP型領域（ソース／ドレイン）
520	層間絶縁物（酸化珪素）
521～525	金属配線・電極パッシベーション
526	膜（窒化珪素）
527	画素電極（ITO）

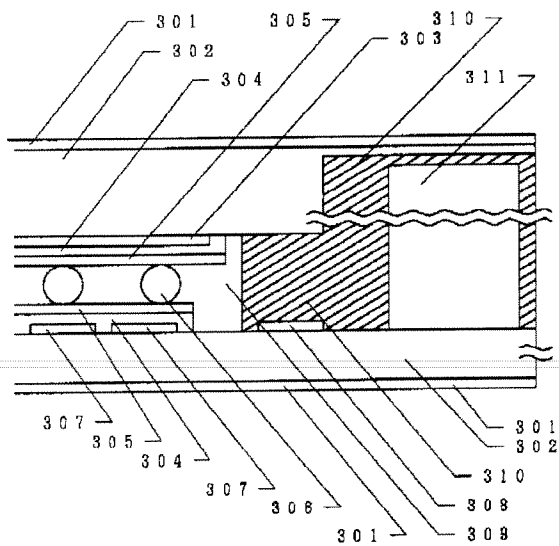
【図1】



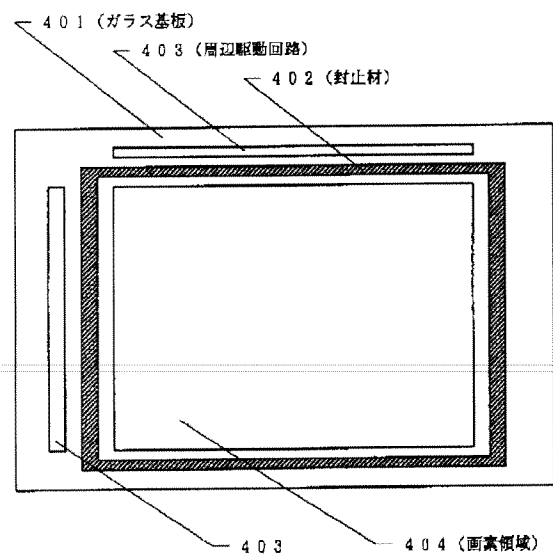
【図2】



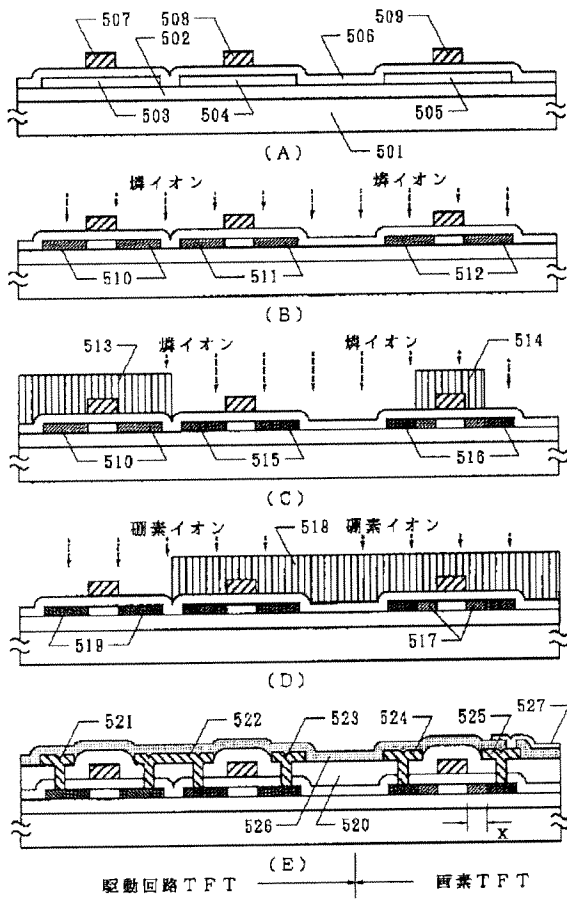
【図3】



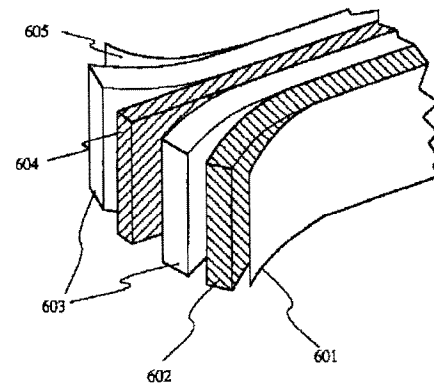
【図4】



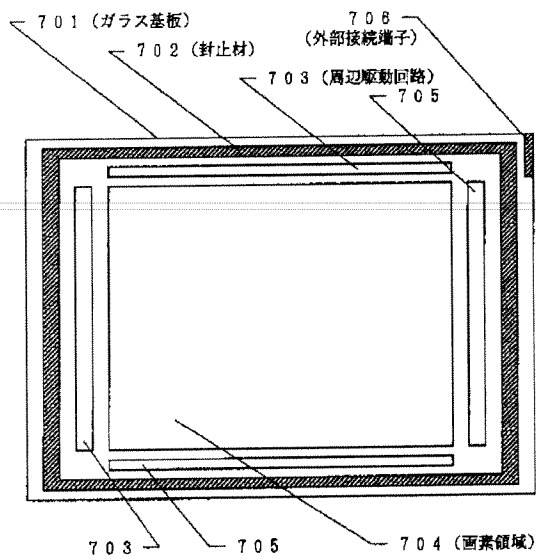
【図5】



【図6】



【図7】



フロントページの続き

(72) 発明者 小沼 利光
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 寺本 聡
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内